

## 초미세소자의 다층배선에서 Spin-On Glass를 이용한 저온 평탄화 기술

최동규 · 고철기

현대전자(주) 반도체연구소  
(1990년 12월 20일 접수, 1991년 3월 19일 채택)

### Low Temperature Planarization Technology Using Spin-On Glass for Multilevel Interconnections in Submicron Devices

Dong Kyu Choi and Chul Gi Ko

Semiconductor R&D Lab., Hyundai Electronics Industries Co., Ltd.  
(Received 20 December 1990; accepted 19 March 1991)

#### 요 약

반도체 소자의 고집적화를 위한 다층배선구조에서 spin-on glass(SOG)를 이용한 저온 평탄화공정이 연구되었다. 이층배선구조에 SOG를 적용한 결과 금지대, V-홈, 공동의 문제를 해결할 수 있었고, SOG를 420°C에서 열처리를 했을 때 SOG막은 10-20%의 체적수축율을 보였으며 열처리전 보다 막내에 잔존하는 수분과 유기물의 함량이 줄어들었다. 전기적 특성은 2 MV/cm의 절연파괴 전압과 30 fA/cm<sup>2</sup>의 누설전류를 보였으며, 그 밖에 낮은 via 저항( $\leq 0.2 \Omega/\text{via}$ )과  $1 \times 10^9$  dyne/cm<sup>2</sup>의 인장응력, 80%의 평탄화율을 보였다.

**Abstract**—Low temperature planarization technology using spin-on glass(SOG) was studied in the multilevel interconnection structures to increase the integration density of semiconductor device. The problems of forbidden gaps, V-grooves and voids between metal line steps were solved as a result of SOG application in double level metallization structure. SOG film showed 10-20% volume shrinkage after SOG film was cured in 420°C for 30 minutes, and it has less water and organic matter than before curing. 2 MV/cm breakdown voltage and 30 fA/cm<sup>2</sup> leakage current were also obtained from the semiconductor parameter analyzer. In addition, this process showed low via resistance( $\leq 0.2 \Omega/\text{via}$ ),  $1 \times 10^9$  dyne/cm<sup>2</sup> tensile stress and 80% degree of planarization.

#### 1. 서 론

##### 1-1. 평탄화공정의 현황

현재 다층배선공정에서 배선층간의 평탄화는 CVD 산화막을 이용한 resist etchback 공정을 많이 이용하고 있다. Resist etchback 공정은 공정이 비교적 단순하고, 평탄화도 우수하다는 장점은 있으나, 배선사이의 간격이

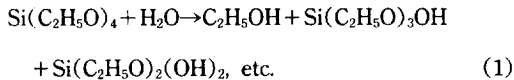
서브마이크론인 소자에는 공동이 발생되어 신뢰성을 저하시킨다. 또 다른 다층배선구조의 평탄화로는 연속 증착 및 식각(deposition and etch) 공정이 있다[1]. 이 공정은 배선사이의 산화막을 여러번에 걸쳐 증착과 식각을 함으로써 평탄화시키는 공정으로서 아직까지는 낮은 생산성과 평탄화도 우수하지 못한 단점이 있다. 따라서 CVD 산화막만으로 절연층을 형성했을 때 발생

되는 문제점을 보완하고자 spin-on glass(SOG)를 이용한 평탄화공정이 연구되었다. SOG는 액체형태로 코팅되어 표면이 높은 부위에서 낮은 부위로 흘러 들어가 표면을 평탄하게 해준다. 따라서 SOG 평탄화공정은 적은 비용, 우수한 평탄화, 높은 생산성의 장점이 있다. 반면에 SOG 막에서의 수분 분출가스로 인한 배선사이의 저항증가와 배선의 부식이 촉진되는 문제점이 있으나 배선에서 SOG를 격리시키는 partial etchback 공정(PEB 공정)으로 해결하고 있다.

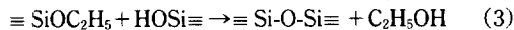
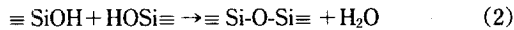
### 1-2. Spin-on glass재료

SOG는 alcohol, ketone, ester와 같은 유기용매에 Si-O 구조의 polymer가 녹아 구성되어 있다. Si-O 구조의 polymer는 tetraethylorthosilicate(TEOS),  $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 의 다음과 같은 가수분해반응과 축합반응에 의해 형성된다[2].

#### 가수분해반응



#### 축합반응



위와 같은 두 반응을 거쳐 유기물이 없는 silicate polymer를 얻을 수도 있으나 methyl이나 phenyl기 등으로 치환된  $\text{RSi}(\text{C}_2\text{H}_5\text{O})_3$ 를 혼합함으로써 siloxane polymer를 얻을 수도 있다. 이러한 siloxane polymer는 crack 저항력이 크고 열처리시 체적수축율이 낮은 장점도 있으나, 막내의 유기물로 인해  $\text{O}_2$  plasma 등에 의한 막의 분해가 발생하는 단점도 있다. SOG의 용액상태는 상대적으로 낮은 분자량의 polymer이지만 코팅후 열처리 과정을 거치면서 용매는 가스상태로 막에서 제거되고 막은 분자끼리의 중합을 촉진시켜 분자량이 큰 불용해성의 유리질(glassy)을 얻는다.

### 1-3. SOG 응용

배선층간의 절연막으로 SOG층을 이용한 구조로서는 Fig. 1과 같이

- (1) Total etchback 공정(TEB 공정)
- (2) CVD/SOG 혹은 SOG/CVD 공정
- (3) Non etchback 공정(CVD/SOG/CVD)(NEB 공정)
- (4) Partial etchback 공정(CVD/SOG/CVD)(PEB 공정)

등이 있다. TEB 공정은 CVD 산화막에 도포한 SOG막을

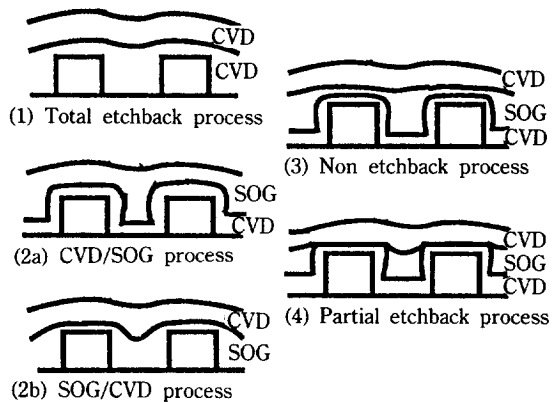
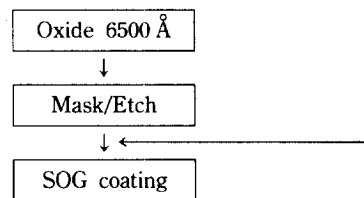


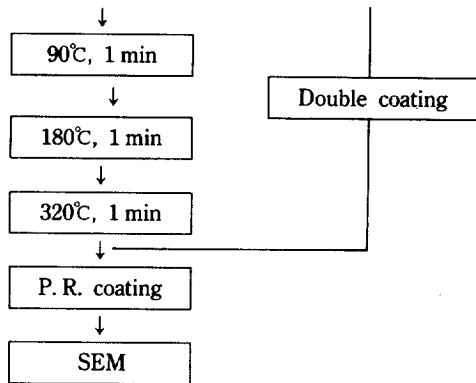
Fig. 1. SOG application at DLM structure.

모두 식각하는 공정으로 두겹게 CVD 산화막을 증착하여도 공동발생의 염려가 없는 소자의 평탄화를 위해 적용된다. CVD/SOG 혹은 SOG/CVD 공정은 다층배선 구조에서 배선과 SOG가 접촉함으로써 분출가스에 의한 배선의 부식과 열팽창계수의 차이에 의한 crack 발생율이 높아 많이 사용되지는 않는다. 따라서 CVD 산화막위에 SOG를 도포한 후 식각없이 CVD 산화막을 증착하는 NEB 공정과 CVD 산화막위에 도포한 SOG를 일정부위까지 식각하는 PEB 공정이 유망하다. NEB 공정은 식각단계가 없어 공정이 단순하다는 점은 있으나, via 콘택 부위에 SOG 층이 남아 있어 via 형성후 다음 배선증착시 SOG에서 나오는 가스와 배선재료의 반응해 via 콘택표면에 산화막을 형성함으로써 배선과 배선사이의 via 저항을 높이거나 아예 fail을 야기시키는 'poisoned via' 문제로 배선에 대한 신뢰성을 저하시킨다[3, 4]. PEB 공정은 공정단계는 NEB 공정보다 복잡하지만 'poisoned via' 문제와 SOG막에서 발생하는 잔류 금속성분에 의한 오염 등의 문제를 줄일 수 있다.

## 2. 실험방법

미세패턴 작업이 없는 실험 항목은 SOG도포, 열판에서의 열처리, 확산로에서의 열처리의 순서로 실험되었으며, 상세한 변수의 설정은 각 실험결과에 표기하였다. 단순 배선상에서의 SOG 평탄화를 위한 실험은 다음과 같이 실행되었다.





이 실험에 사용한 SOG는 siloxane 3가지(SX-A, SX-B, SX-C)와 silicate 3가지(SC-A, SC-B, SC-C)이며 각각은 용매의 종류나 함량, Si-O구조가 용액내 차지하는 비중, 특히 siloxane은 첨가된 유기물의 종류에 따라 구별된다. 각 샘플의 점도는 siloxane이 1.5-3.5 cp이고 silicate는 1.0 cp 정도이다. SOG막의 확산로 온도에 따른 막내의 유기물과 수분의 잔존 여부를 알아보기 위해 Fourier Transform Infrared Spectrophotometer(FTIR) 측정을 했으며, 시편은 실리콘 기판상에 siloxane계의 SOG를 도포한 후 공기 분위기의 확산로에서 200°C, 420°C, 700°C로 각각 30분씩 열처리를 했다. FTIR장치는 해상도가  $2\text{ cm}^{-1}$ 이고, KBr 분광기를 이용한 NICOLET社의 MX-S를 이용했다. 실제 소자에서의 응용 실험에 사용한 SOG는 siloxane계로 methyl기가 주요 유기성분이고  $\text{SiO}_2$ 가 9 wt% 포함되어 있다. 도포조건은 3000 rpm에서 20초동안 회전시켰으며, 확산로에서의 열처리는 공기 분위기에서 300°C, 30분간 실시했다. SOG막의 절연과 피전압과 누설전류, via 저항 측정은 HP-4145B semiconductor parameter analyzer를 사용했으며, 절연과피전압과 누설전류 측정시편은  $1000\text{ \AA}$  이내의 SOG막을 열판과 확산로에서의 열처리 과정을 거쳐  $200\times 200\text{ }\mu\text{m}^2$ 의 금속 pad를 이용했다. Via저항은 450개의 via 체인에서 측정했다.

### 3. 결과 및 고찰

#### 3-1. SOG 도포와 열처리에 따른 SOG막의 특성

Fig. 2는 SOG 도포시 회전수에 따른 SOG막의 두께 정도이다. 여기서 사용된 SOG의 점도는 1 cp에서 3.5 cp까지로 3000 rpm에서  $1000\text{ \AA}$ 에서  $3000\text{ \AA}$ 까지의 두께를 얻을 수 있었다. 두께의 균일도는 2000 rpm 이상에서 1% 미만이었으며, 코팅에 사용된 SOG의 양은 기판면적에 따라 일정량 이상에서는 두께정도나 두께의 균일도에 영향을 미치지 않았다.

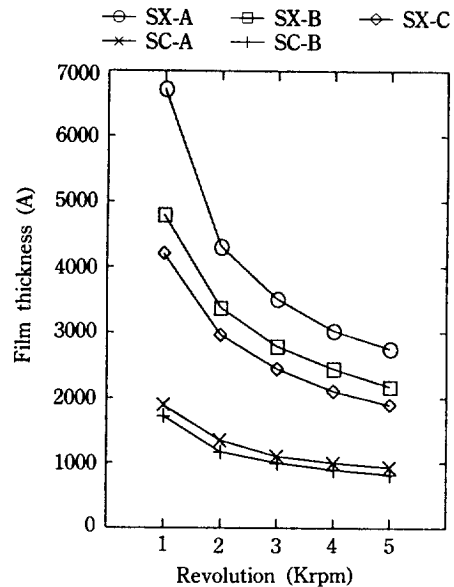


Fig. 2. SOG film thickness as a function of spin speed.

Table 1. Volume shrinkage of SOG film as a function of hot plate temperature

SOG		A <sup>a)</sup>	B <sup>b)</sup>	C <sup>c)</sup>
Siloxane	SX-A	2.7%	5.1%	6.8%
SOG	SX-B	0.9%	4.5%	8.8%
	SX-C	2.7%	5.8%	8.1%
Silicate	SC-A	2.5%	6.8%	10.2%
SOG	SC-B	1.4%	7.5%	11.7%

<sup>a)</sup> A: 90°C, 2 min

<sup>b)</sup> B: 90°C, 2 min + 180°C, 2 min

<sup>c)</sup> C: 90°C, 2 min + 180°C, 2 min, + 280°C, 2 min

Table 2. Volume shrinkage and refractive index of SOG film as a function of curing<sup>a)</sup> ambient

SOG		Volume shrinkage <sup>b)</sup> (%)		Refractive index	
		N <sub>2</sub>	O <sub>2</sub>	N <sub>2</sub>	O <sub>2</sub>
Siloxane	SX-A	10.4	12.2	1.417	1.405
SOG	SX-B	11.7	17.2	1.369	1.374
	SX-C	12.7	14.1	1.399	1.399
Silicate	SC-A	20.1	20.2	1.443	1.444
SOG	SC-B	19.2	18.5	1.446	1.446

<sup>a)</sup> Curing condition : 420°C, 60 min

<sup>b)</sup> Volume shrinkage : (Thickness after curing/Thickness as coated)×100

Table 1은 siloxane계와 silicate계 SOG의 열판 온도에 따른 SOG막의 체적수축율을 나타낸 것이고, Table 2는 Table 1의 C 조건에서의 열처리 후 확산로에서 열처리한 SOG막의 체적수축율과 굴절율을 보인 것이다. Table 1

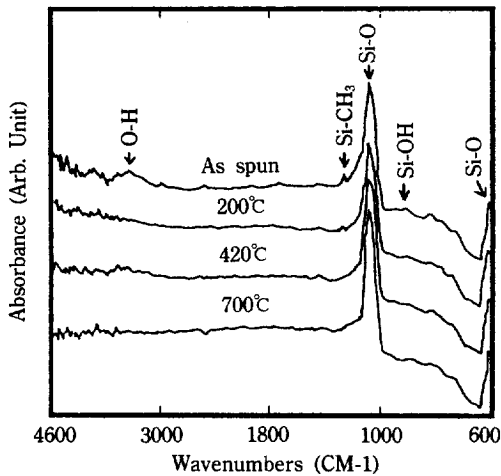
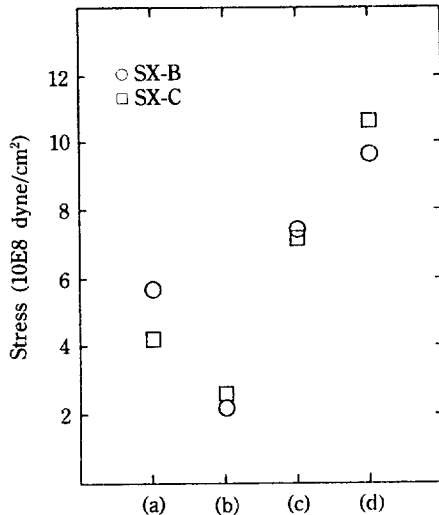


Fig. 3. FTIR spectra of SOG after 30 min curing.



(a) After first baking(90°C, 180°C, 320°C, 2 min)  
 (b) After second coating  
 (c) After second baking(90°C, 180°C, 320°C, 2 min)  
 (d) After curing(420°C, N<sub>2</sub>, 60 min)

Fig. 4. Stress variations of SOG double coating.

과 Table 2에서 전반적으로 siloxane계의 SOG가 체적 수축율이 작는데 이것은 유기물이 silicon과 oxygen의 결합구조에 끼여있기 때문인 것으로 예상된다. 또 Table 2의 열처리 분위기에 따른 체적수축율은 silicate계 SOG는 N<sub>2</sub>와 O<sub>2</sub>분위기에 따라 차이가 없었으나, siloxane계 SOG는 O<sub>2</sub>분위기에서 SOG막에 있는 유기물이 O<sub>2</sub>와 반응해서 체적수축율이 N<sub>2</sub> 분위기에서보다 높은 것으로 나타났다. 굴절율은 siloxane계 SOG가 유기물로 인해 silicate계 SOG보다 낮게 나타나며, silicate계

Table 3. Electrical characteristics of SOG films(Pad size: 200×200μm²)

SOG	Dielectric strength (MV/cm)	Leakage current (fA/μm²)
	@ 1 μA	@ 5 V
SX-B	2.1	28.5
SX-C	2.3	36.5
SC-A	1.5	21.5
SC-C	1.6	31.6

SOG는 CVD 산화막의 굴절율에 근접하는 것을 알 수 있다. 이와 같이 siloxane계 SOG막의 특징인 유기물이 열처리에 따라 어느정도 막내에 존재하는가를 알아보기 위해 FTIR 측정을 했다. Fig. 3에서 보는 바와 같이 SOG 도포 후 바로 FTIR 측정을 했을 때 3400 cm<sup>-1</sup> 부위에서의 O-H 구조로 나타나는 수분과 1288 cm<sup>-1</sup> 부위에서의 CH<sub>3</sub> 구조의 유기물을 나타내는 피크를 얻을 수 있었다. 열처리 온도를 높임에 따라 수분과 유기물의 피크가 줄어들어서 420°C, 30분의 확산로 열처리에 의해 거의 검출되지 않았다. 따라서 소자에 SOG를 응용할 때 800°C 정도의 고온 열처리가 불가능한 경우인, 하부층에 알루미늄 배선이 있을 때 420°C 정도의 열처리로 가스 분출을 시켜야 함을 알 수 있다.

Fig. 4는 실리콘 기판에 SOG막을 두번 도포하는 공정 중에서 응력(stress)변화를 보인 것이다. 두번 도포 중 급격한 응력변화는 없었으며 전체적으로 1×10<sup>8</sup> dyne/cm²의 인장응력을 보인 반면 두번째 도포내에는 -5×10<sup>8</sup> dyne/cm²의 압축응력으로 인해 전체 응력이 감소되는 현상을 보였다.

### 3-2. SOG막의 전기적 특성

절연막으로서의 SOG막의 특성을 알아보기 위해 절연파괴전압과 누설전류를 측정했다. 시편은 도포 후 열판에서의 열처리 과정을 거쳐 420°C, 60분동안 확산로에서 열처리를 했다. Table 3에서 SX는 siloxane계 SOG를 SC는 silicate계 SOG를 나타낸다. 절연파괴전압은 2.0 MV/cm, 누설전류는 수십 fA/cm²로 silicate계와 siloxane계가 큰 차이를 보이지 않았다. CVD 산화막의 절연파괴전압이 6 MV/cm 정도임을 감안할 때 SOG막의 절연막 특성이 CVD 산화막에 비해 떨어지지만 서두에서 언급한 PEB 공정을 적용함을 고려할 때, CVD 산화막이 절연층의 대부분을 형성하므로, SOG의 절연 특성 저하는 소자에 큰 영향을 미치지 않는다[5].

다음으로 SOG막을 소자에 직접 응용했을 때, 배선과 배선사이의 접촉 저항인 via 저항의 변화를 보았다. 일반적으로 SOG가 via에 노출되어 있으면 2층 배선의

Table 4. M1-M2 via resistances at different via sizes ( $\Omega/\text{Via}$ )

Via size( $\mu\text{m}^2$ )	0.8×0.8	1.0×1.0	1.4×1.4	1.8×1.8
Process				
NON SOG	0.149	0.116	0.103	0.092
SOG*	0.114	0.103	0.104	0.089

\*SOG partial etchback process

\* Measuring points/Wafer; 5 points

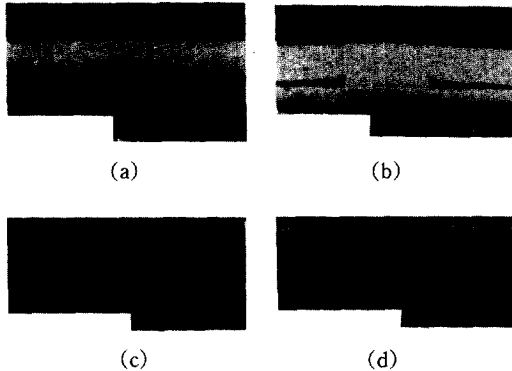


Fig. 5. Spin-on glass planarization characterization.

증착시 SOG막에서 나오는 수분으로 인해 via 저항이 증가된다[6]. 따라서 PEB 공정으로써 SOG막의 노출을 막아 via부위에서 산화막이 증착되는 것을 막는다. Table 4는 PEB공정을 이용한 이중배선구조와, CVD산화막만으로 절연층을 형성한 이중배선구조에서의 via 저항을 측정한 것이다. Via 크기에 따라 via 저항값의 차이는 있지만, SOG의 적용여부에 따라서는 큰 변화를 보이지 않고  $0.2 \Omega/\text{via}$  이하의 낮은 via 저항을 보였다.

### 3-3. SOG 평탄화

다음은 SOG를 소자에 응용하는 기본적 이유인 평탄화 정도와 특성을 알아보았다. Fig. 5은 SOG 도포시의 전형적인 특성을 보인 것으로 (a), (b)는 SOG의 요철 부위에서의 전형적인 도포 특성을 보인 SEM사진이고 (c), (d)는 배선사이의 공간이 넓은 부위에서의 SOG 도포상태와  $0.5 \mu\text{m}$  정도의 좁은 부위에서의 SOG 도포상태를 보였다. SOG 도포로 인한 평탄화 상태는 평탄화율(degree of planarization)을 이용해 수치로 나타낼 수 있다. Fig. 6은 여러 가지 종류의 SOG에 대한  $0.75 \mu\text{m}$ 의 배선사이의 간격에서의 SOG 평탄화를 알아보기 위한 SEM사진이다. 여기에서 평탄화율은 다음과 같이 정의했다.

이 실험결과에서 siloxane계는 평탄화가 우수하여 2회 도포시 평탄화율이 80%까지 보였으나 silicate계 SOG는

		Single coating	DOP (%)	Double coating	DOP (%)
Siloxane SOG	SX-A		27		80
	SX-C		23		68
Silicate SOG	SC-A		9		33
	SC-B		6		25

Fig. 6. SOG degree of planarization in  $0.75 \mu\text{m}$  line space.

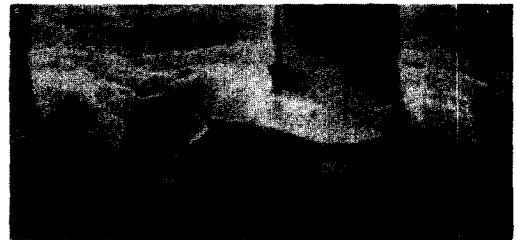
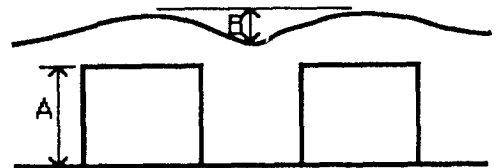
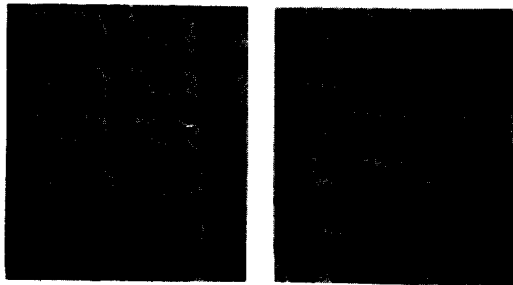


Fig. 7. SEM micrograph of DLM structure using SOG partial etchback process.



$$\text{Degree of planarization(DOP)}(\%) = (1 - B/A) \times 100(\%)$$

2회 도포시의 평탄화 효과가 siloxane계의 1회 도포의 효과밖에 얻지 못하였다. 이러한 현상은 siloxane계 SOG의 viscosity가 silicate계보다 크기 때문이다. 또 CVD 산화막에서 보이는 V-홈이나 공동현상은 보이지 않았다. Fig. 7은 SOG partial etchback 공정을 이용한 간단한 이중배선구조를 보인 것이다. 이 공정은 siloxane계의 SOG를 2회 도포해서 via 부위에 SOG가 남지 않도록 식각한 다음,  $420^\circ\text{C}$ ,  $\text{N}_2$  분위기에서 60분간 확산로에서 열처리를 했다. SOG막의 위아래층은 CVD산화막이 증착되어, SOG가 금속배선과 접촉하는 것을 막고 있다. 이 공정에서 이중배선의 식각을 거친 시편의 표면 SEM사진이 Fig. 8이다. (a)는 평탄화공정없이 CVD산화막만을 이용한 이중배선구조이고, (b)는 SOG를 이용해 평탄화공정을 거친 시편의 표면 SEM 사진이다. SOG를 이용해 평탄화공정을 실시한 시편은 굴



(a) Without SOG

(b) With SOG

Fig. 8. SEM micrograph after second metal etch in a simple DLM structure.

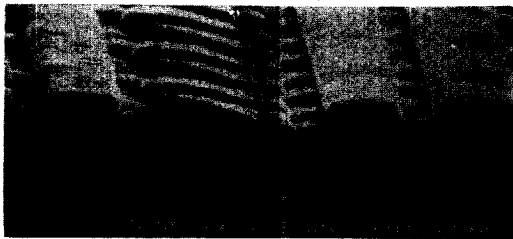


Fig. 9. SEM micrograph after 1 μm CVD oxide deposition in DLM process.

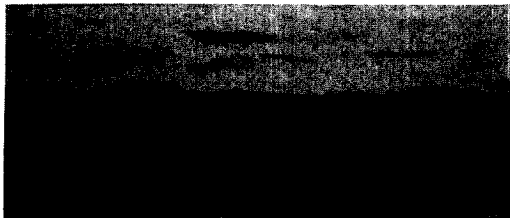


Fig. 10. SEM micrograph after planarization by CVD/SOG process in DLM process.

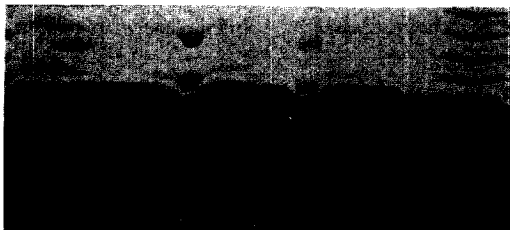


Fig. 11. SEM micrograph after planarization by resist etchback in DLM process.

곡이 있는 곳에서 이층배선의 단락을 방지할 수 있고, 표면전체의 굴곡을 완만하게 해주어, (a)에서 볼 수 있는 notching 현상이 나타나지 않았다. 마지막으로, 소자에 SOG를 적용한 경우와 resist etchback을 적용한 경우를 비교했다. Fig. 9는 SOG를 도포하기 직전의 형상이고 Fig. 10은 SOG를 적용해 평탄화를 실시한 상태이며, Fig. 11은 resist etchback을 이용했을 때의 평탄화 정도를 보인 것이다. Fig. 10과 11을 비교해 볼 때 표면의 굴곡면에서 SOG를 이용한 평탄화가 더 효과적임을 알 수 있다.

#### 4. 결 론

실험결과, SOG 자체의 절연파괴전압, 누설전류와 같은 절연막으로서의 전기적 특성은 CVD 산화막에 비해 떨어진다. 그러나 partial etchback 공정을 이용해 소자에서 SOG가 적용되는 부분을 국부적으로 제한함으로써 소자 특성에 주는 영향을 최소화 하였으며, SOG에서 발생하는 분출가스로 인한 via 저항의 증가도 없었다. SOG에 의한 응력변화는  $1 \times 10^9$  dyne/cm<sup>2</sup>의 인장응력으로 공정이 끝난 후 crack 발생은 없었다. 평탄화율은 0.75 μm의 배선간격에 0.87 aspect ratio를 갖는 시편에서 평탄화율이 80%까지 보였으며, CVD 산화막에서 나타나는 금지대(forbidden gaps), V-홈(V-grooves), 공동(voids)의 문제를 해결할 수 있었다. 결론적으로, 3 cp 정도의 점도를 갖는 siloxane계 SOG를 partial etchback 공정으로 소자에 적용함으로써 소자의 신뢰성을 향상시키면서 우수한 평탄화를 얻을 수 있다.

#### REFERENCES

1. Choi, D. K. and Ko, C. G.: *Hyundai Semiconductor Technology Review*, 2, 67(1989).
2. Gupta, S. K.: *Microelectronic Manufacturing and Testing*, 17(5), 10(1989).
3. Chiang, C., Lam, N. V., Chu, J. K., Cox, N., Fraser, D., Bozarth, J. and Mumford, B.: *IEEE VLSI Multilevel Interconnection Conf.*, 404(1987).
4. Pai, P. L., Oldham, W. G. and Ting, C. H.: *IEEE VLSI Multilevel Interconnection Conf.*, 364(1987).
5. Ting, C. H. and Lin, H. Y.: *IEEE VLSI Multilevel Interconnection Conf.*, 61(1987).
6. Molanar, L. D.: *Semiconductor International*, 95, August(1989).