

ECR플라즈마를 이용한 화학증착법에 의해 제조된 실리콘 산화막의 특성

전범주 · 오인환* · 임태훈* · 정일현†

단국대학교 화학공학과

*한국과학기술연구원 화공연구부

(1996년 9월 20일 접수, 1997년 2월 15일 채택)

Characteristics of Silicon Oxide Films Prepared by Chemical Vapor Deposition Using ECR Plasma Source

Bup-Ju Jeon, In-Hwan Oh*, Tae-Hoon Lim* and Il-Hyun Jung†

Dept. of Chem. Eng., Dan-kook Univ., San 8, Hannam-dong, Yongsan-gu, Seoul 140-714, Korea

*Div. of Chem. Eng., Korea Institute of Science and Technology, Cheongryang P.O. Box 131, Seoul, Korea

(Received 20 September 1996; accepted 15 February 1997)

요약

저온 공정이 가능한 ECR산소플라즈마를 이용하여 화학증착법으로 기판의 온도, 마이크로파 출력, 반응기내 압력, 사일렌과 산소의 희석비 등을 실험 변수로 각 실험조건에 따라 산화막을 제조하였다. 이 산화막의 물리·화학적 특성을 분석하고 표면과 Si/SiO₂계면 morphology의 상관관계를 조사하고 이 산화막 표면의 조도(roughness)가 전기적 특성에 미치는 영향을 살펴보았다. 실리콘 산화막의 증착속도는 반응기내 압력과 마이크로파 출력이 증가하고 기판의 온도가 낮을 수록 증가하였다. 그러나 산소와 사일렌 가스의 비가 2:1 이상이고 반응기내 압력이 6 mTorr보다 높은 실험조건에서 증착속도를 크게 증가시킬 수 있었으나 산화막의 C-V(Capacitance-Voltage) 특성은 나타나지 않았다. 산화막의 표면 조도가 작은 양질의 산화막은 증착속도가 낮은 실험조건에서 얻을 수 있었다. Si/SiO₂계면에서의 조도는 산화막표면의 조도와 실험조건에 의존하였으며, Si/SiO₂계면에서 조도는 전기적 특성에 영향을 주었다.

Abstract—The SiO₂ films were prepared by electron cyclotron resonance plasma chemical vapor deposition(ECRPCVD) at low temperature as a function of substrate temperature, microwave power, pressure, and the ratio of SiH₄/O₂. We examined the physical and chemical properties of the oxide films grown at the plasma parameters and deposition conditions and compared the morphologies of the SiO₂ surface and Si/SiO₂ interface of the films. Also we discuss the effect of the SiO₂ surface morphologies on electrical characteristics. The oxidation rate was found to increase with pressure and microwave power but decrease with substrate temperature. However, under experimental conditions with high deposition rate, such as pressure over 6 mTorr and O₂/SiH₄ flow rate ratio over 2:1, it is showed that the oxide films have not MOS capacitance-voltage characteristics. High quality SiO₂ films with low surface roughness were obtained from growth condition with low deposition rate. Roughness of the Si/SiO₂ interface depends on SiO₂ film surface and growth conditions, influenced electrical properties.

Key words: Electron Cyclotron Resonance, Chemical Vapor Deposition, Microwave Power

1. 서 론

실리콘 산화막은 폴리충간·금속충간 평탄화 박막, 소자 보호용 박막, 축전용 유전 박막 등에 이용되고 있다. 최근에 산화막은 반도체 소자의 고집적화로 인하여 단위 소자의 크기가 작아짐에 따라 정밀성이 요구되기 때문에 Si/SiO₂계면에서 막의 morphology를 향상시키고 낮은 온도에서 소자를 제작하기 위한 관심이 점차 증가되고 있다. 이와 같은 실리콘 산화막을 성장시키고 interface trap density (D_i)를 줄이기 위하여 LPCVD(Low Pressure Chemical Vapor Deposition), Thermal CVD, GD(Glow Discharge), RFPE(Radio Frequency

Plasma-Enhanced) CVD, RPE(Remote Plasma-Enhanced) CVD 등 다양한 방법이 연구되고 있다[1-6]. 일반적으로 열 산화 방법에 의해 형성된 산화막은 소자를 제작하기 위한 충분한 특성을 지니고 있으나 게이트 유전박막의 면적과 두께가 감소하고 반도체 소자의 형태가 평면구조에서 입체구조로 변함에 따라 게이트 유전박막을 제조하는데 결함의 형성, 불순물의 재분포, 도핑 물질의 재확산, 기판내 물질간의 반응, 열에 의한 응력 등의 문제로 많은 제한을 받고 있다[7-9]. 또한 스퍼터 방법은 기판의 표면을 손상시켜 MOS(Metal Oxide Semiconductor)의 전기적 특성을 저하시킨다. 따라서 산화 온도를 낮추고, MOS의 전기적 특성을 개선하기 위한 많은 진보적인 방

