

## 총 설

# 구리 및 은 금속 배선을 위한 전기화학적 공정

권오중 · 조성기\* · 김재정\*<sup>†</sup>

인천대학교 기계공학과  
402-749 인천시 남구 인천대길 319  
\*서울대학교 화학생물공학부  
151-742 서울시 관악구 신림동 산 56-1  
(2009년 2월 6일 접수, 2009년 2월 27일 채택)

## Electrochemical Metallization Processes for Copper and Silver Metal Interconnection

Oh Joong Kwon, Sung Ki Cho\* and Jae Jeong Kim\*<sup>†</sup>

Department of Mechanical Engineering, University of Incheon, 319 Incheondaegil, Nam-gu, Incheon 402-749, Korea

\*School of Chemical and Biological Engineering, Seoul National University, San 56-1, Sillim-dong, Kwanak-gu, Seoul 151-742, Korea

(Received 6 February 2009; accepted 27 February 2009)

## 요 약

초고속 연산용 CMOS(complementary Metal Oxide Semiconductor) 배선재료로 사용되고 있는 구리(Cu)가, 기가급 메모리 소자용 금속 배선 물질에도 사용이 시작되면서 구리 박막에 대한 재료 및 공정이 새로운 조명을 받고 있다. 반도체 금속 배선에 사용하는 수 nm 두께의 구리 박막의 형성에 전해도금(electrodeposition)과 무전해 도금(electroless deposition) 같은 전기화학적 방법을 이용하게 되어서 표면 처리, 전해액 조성과 같은 중요한 요소에 대한 최신 연구 동향을 요약하였다. 구리 박막에서 구리 배선을 제작하여야 하므로 새로운 패턴 기술인 상감기법이 도입되어, 구리도금과 상감기법과의 공정 일치성 관점에서 전해도금과 무전해 도금의 요소 기술에 대해 기술하였다. 구리보다 비저항이 낮아 차세대 소자용 배선에 있어서 적용이 예상되는 은(Ag)을 전기화학적 방법으로 금속 배선에 적용하는 최신 연구에 대하여도 소개하였다.

**Abstract** – The Cu thin film material and process, which have been already used for metallization of CMOS(Complementary Metal Oxide Semiconductor), has been highlighted as the Cu metallization is introduced to the metallization process for giga - level memory devices. The recent progresses in the development of key elements in electrochemical processes like surface pretreatment or electrolyte composition are summarized in the paper, because the semiconductor metallization by electrochemical processes such as electrodeposition and electroless deposition controls the thickness of Cu film in a few nm scales. The technologies in electrodeposition and electroless deposition are described in the viewpoint of process compatibility between copper electrodeposition and damascene process, because a Cu metal line is fabricated from the Cu thin film. Silver metallization, which may be expected to be the next generation metallization material due to its lowest resistivity, is also introduced with its electrochemical fabrication methods.

Key words: Copper, Silver, Electrodeposition, Electroless Deposition, Interconnection

## 1. 서 론

미세화와 박막화로 표현되는 반도체 공정 중 단위 소자의 고속화를 구현하기 위한 금속 배선 공정에 사용되는 금속 재료가 알루미늄(Al)에서 구리(Cu)로 대체되고 있는 과도기를 맞이하고 있다. 메모리 반도체는 2008년까지는 알루미늄을 사용하였으나 최근에 최소 선폴을 갖는 디바이스에서는 구리를 배선재료로 전환하고 있어, 기존 CMOS(complementary Metal Oxide Semiconductor)에서 기체

택된 구리 배선을 고려하면 향후에는 모든 디바이스가 구리를 주요 배선재료로 사용할 것으로 예측된다. 기존의 금속 배선 물질인 알루미늄은 상대적으로 높은 저항( $2.67 \mu\Omega\text{cm}$ )으로 인해 빠른 응답 속도를 충족시키지 못하였으며 기가급 소자의 높은 전류 밀도(current density)에 대한 내구성을 갖추지 못하는 재료 고유의 한계를 가지고 있다. 특히 응답 속도를 높이기 위한 다층 배선 공정에 있어 금속과 층간 절연막 사이에 발생하는 저항-충전 지연(RC delay)은 비저항이 상대적으로 낮은 구리( $1.67 \mu\Omega\text{cm}$ )의 도입에 의해서만 효과적으로 해결될 수 있었고[1], 구리가 갖는 재료의 특성으로 알루미늄보다 전자이동(electro migration, EM)과 응력이동(stress migration)에 내구성이 있는 금속 배선을 얻을 수 있는 계기가 되었다[2].

<sup>†</sup>To whom correspondence should be addressed.

E-mail: jkimm@snu.ac.kr

\*이 논문은 서울대학교 최창균 교수님의 정년을 기념하여 투고되었습니다.

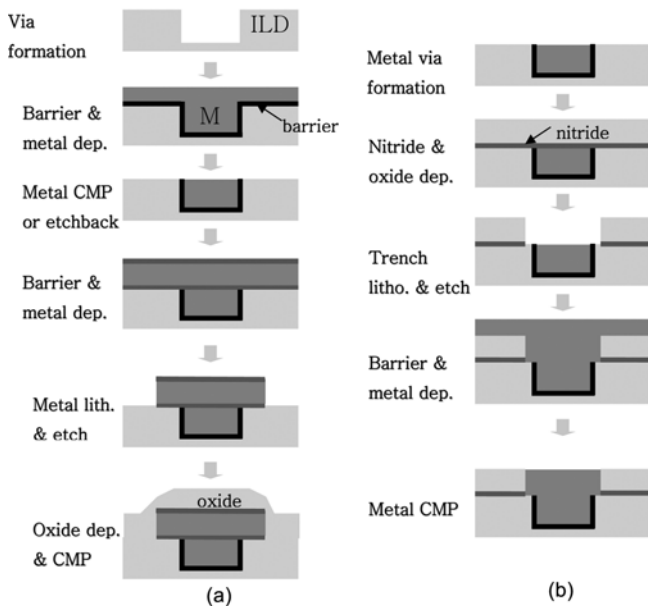


Fig. 1. (a) Schematic diagrams of conventional Al metallization process and (b) process sequences of damascene process.

구리 재료의 도입은 전기화학에 기초한 전해도금이 반도체 금속 배선 공정에 적용되는 획기적인 변화를 수반하였다. 알루미늄 배선 공정은 Fig. 1(a)와 같이 물리기상증착(physical vapor deposition, PVD) 및 화학기상증착(chemical vapor deposition, CVD) 방법으로 금속막을 증착하고, 증착된 금속막을 사진 공정(photolithography)과 식각 공정(etching process)을 통하여 금속선과 같은 3차원 구조를 형성하는 것이다. 반면 구리를 통한 금속 배선은 식각 공정 중 발생하는 구리-할로겐 화합물이 비휘발성이라는 특징 때문에 건식 식각 공정(dry etching)을 적용할 수 없어, Fig. 1(b)에서와 같이 상감공정(damascene process)을 채택하게 되었다. 즉, 구리선이 만들어질 3차원 구조 모양을 건식 식각으로 미리 형성한 후 PVD, CVD, 전해도금(electrodeposition) 및 무전해 도금(electroless deposition)으로 이루어지는 증착 및 전착 과정을 통하여 구리선을 구현 방법이 연구되었으며 성공적으로 구리 배선에 적용되었다.

구리 금속 배선에 채용되고 있는 상감공정의 핵심 고려사항은 수십 nm 트렌치 내에 결함이 없이 구리(defect-free Cu)를 채우는 것이다. 무결점 구리 배선을 얻기 위하여 연구 초기에는 PVD, CVD, 전해도금 및 무전해 도금 등 다양한 방법에 대한 연구가 이루어졌으나, 최근에 들어서는 무결점 구리를 형성하는데 탁월한 효과를 보이는 전해도금과 무전해 도금이 구리 배선 공정에서 각광을 받고 있다. 전해도금이란 Fig. 2(a)에서 볼 수 있는 것과 같이 패턴 내에 있는 씨앗층(seed layer)을 통하여 외부에서 전자를 공급하고 이 전자로 용액내의 구리 이온을 환원시킴으로써 금속 구리막을 형성하는 방법이다. 씨앗층은 전해도금 과정에만 도입되는 수 nm 두께의 구리박막으로 Fig. 1에서 설명된 확산 방지막(barrier layer) 위에 PVD, CVD 또는 무전해 도금을 통하여 형성된다. 반면, 무전해 도금은 Fig. 2(b)에 도식된 것과 같이, 외부에서의 전자 공급없이 금속 표면에서 환원제(reducing agent)가 산화되면서 생성된 전자로 구리 이온이 환원되어 금속막을 형성하는 방법이다.

공정의 단순화나 경제적인 관점에서는 무전해 도금을 이용하여

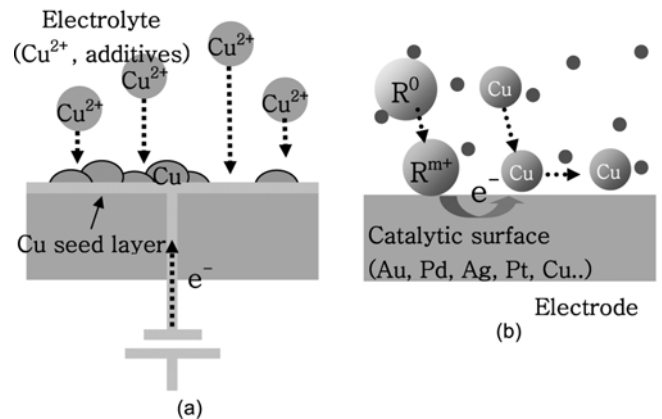


Fig. 2. Schematic diagrams of deposition mechanism of (a) electrodeposition and (b) electroless deposition.

씨앗층을 형성하고 전해도금을 통하여 무결점 구리선을 형성하는 것이 바람직한 금속화 공정이다. 씨앗층은 10 nm 두께의 박막이며 단차 피복율(step coverage)도 매우 높아야 후속공정인 전해도금이 효과적으로 이루어질 수 있다. 전해도금에서는 씨앗층이 형성된 패턴 내에 무결점 구리막을 형성하기 위하여 유기 첨가제(organic additive)가 첨가된 전해용액을 사용한다. 유기 첨가제는 국부적인 전착 속도를 조절하는 역할을 하는 유기물로서, 유기 첨가제를 도입하지 않은 경우에는 전해도금시 Fig. 3(a)와 (b)에서 볼 수 있는 것처럼 빈 공간(void) 형성하여 금속막의 저항을 높이고 내구성을 낮춘다. 그러나 유기 첨가제를 이용하게 되면 Fig. 3(c)에서 볼 수 있는 것처럼 바닥 차옴(bottom-up filling) 현상을 통하여 초등각 전착(super-conformal deposition)이 이루어져 무결점 구리막을 얻을 수 있다. 그러므로 무전해 도금은 연속적인 씨앗층을 얻는데 전해도금은 유기 첨가제의 역할 및 조성을 결정하는 방향으로 심도있는 연구가 이루어져 왔다.

International Technology Roadmap for Semiconductors(ITRS)에 따르면 2009년에는 금속막이 형성될 패턴의 크기(metal 1/2 pitch)가 32 nm, 종횡비(aspect ratio)는 1.8 확산 방지막의 두께는 3.7 nm 이다. 따라서 패턴 내에 금속막 전착을 수행하기 위한 여유 공간이 극도로 작아지게 되어 씨앗층 없는 전착 공정이 도입되게 되었다. 대표적인 예가 확산 방지막 위에 씨앗층 없이 전해도금을 통하여 직접 금속막을 얻는 직접 전해도금(direct electrodeposition)이며 다른 하나는 무전해 도금만으로 무결점 구리막을 얻는 것이다. 각각의 방법에 대해서는 본문에서 자세히 설명하도록 하겠다.

본 총설에서는 구리 배선 형성을 위하여 사용되는 전해도금과 무전해도금에 대하여 연구 동향을 요약하고, 더불어 전해도금과 무전해도금을 통한 은(Ag) 배선을 정리하려 한다. 은은 금속 중에 가장 낮은 비저항( $1.59 \mu\Omega\text{cm}$ )과 EM에 대한 높은 저항성 때문에 구리를 대체할 차세대 배선 물질로 고려되고 있다[3-6].

## 2. 구리 전해도금(Cu electrodeposition)

### 2-1. 유기 첨가제를 이용한 구리 전해도금(Electrodeposition of copper with organic additives)

구리 전해도금은 황산구리( $\text{CuSO}_4$ ), 황산( $\text{H}_2\text{SO}_4$ ) 및 유기 첨가제로 이루어진 전착 용액에서 그 반응이 이루어진다. 이때 황산구리

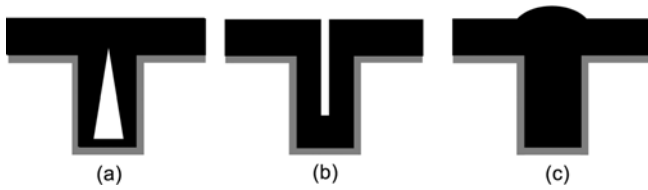


Fig. 3. Illustrations of (a) sub-conformal deposition, (b) conformal deposition, and (c) super-conformal deposition.

는 씨앗층 표면에서 환원되는 구리 이온의 제공원이며, 황산은 전해액의 저항을 감소시키는 역할을 한다. 그리고 유기 첨가제는 구리 채움 모양(filling profile)을 조절하는 역할을 한다. 상감구조에 있어서 무결점 구리 채움은 전해액의 저항, 패턴 위치에 따른 물질 전달 속도의 차이 및 기판의 저항 등에 의하여 쉽게 얻어지지 않는다[7-9]. 그러나 전해액의 저항은 전해질인 황산을 첨가함으로써 그리고 기판의 저항은 단차 피복율이 좋은 이온화금속(ionized metal) PVD로 구리 씨앗층을 적용함으로써 해결할 수 있다. 따라서 상감 구조에 있어서 결점이 있는 구리 채움 형상은 물질 전달의 불균일 때문에 발생한다고 볼 수 있고, 유기 첨가제는 국부적인 전착 속도를 조절함으로써 이러한 문제를 해결하여 무결점 구리 채움을 가능하게 하는 것이다. 유기 첨가제의 부재하에서는 구리 이온은 패턴 내에서 연속적으로 소비되게 되고 따라서 시간이 지날수록 패턴 깊이 방향을 따라 구리 이온의 농도는 급격히 감소하여 환원량의 불균일성이 점점 커지게 된다. 마침내는 입구에서 전착에 상대적으로 과하게 되어 패턴이 막히는 현상이 발생한다. 이러한 현상을 비등각전착(sub-conformal deposition)이라고 하며 Fig. 3(a)가 보여주는 것과 같이 소자의 낮은 신뢰성의 원인이 되는 빈 공간이 형성되게 된다. 무결점 구리 전착은 유기 첨가제를 이용하여 국부적인 전착 속도를 조절함으로써 바닥 차오름의 통하여 얻을 수 있다. 이러한 결과는 Fig. 3(c)와 같고 이를 초등각전착이라고 한다. 따라서 반도체 구리 전해도금에 있어 대부분의 연구는 유기 첨가제를 이용하여 초등각전착을 구현하는데 초점이 맞추어져 있다.

일반적인 전해도금을 위한 유기 첨가제는 감속제(suppressor)와 가속제(accelerator)로 이루어져 있다. 감속제는 전착을 억제하고 가속제는 전착을 향상시키는데, 두 첨가제의 국부적인 표면 농도차이에 따라서 전착 속도가 조절되고, 나아가서 첨가제의 적절한 조합으로 초등각전착이 얻어지게 된다. 이러한 감속제와 가속제의 조합으로 초등각전착을 구현하는 기구(mechanism)는 다음과 같이 설명된다. 감속제와 가속제는 경쟁 흡착(competitive adsorption)을 하는데, 감속제의 분자량이 가속제보다는 매우 커서 패턴내부에서는 상대적으로 가속제의 농도가 높다. 초기에 균일한 표면 농도를 갖는 가속제와 구리 이온 사이에 반응 율속 단계(rate-determining step, RDS)에서 전자 이동이 일어난다. 구리막이 형성됨에 따라 패턴 내부의 표면적이 감소하고 가속제의 내부 표면 누적이 발생하여 패턴 바닥에서의 국부적인 전착 속도가 빠르게 되어 바닥 차오름 현상이 발생한다[10-31].

일반적으로 감속제는 비공유 전자쌍을 포함하고 있어 표면의 금속과 강하게 화학적으로 결합하는 황(S), 질소(N), 산소(O) 등을 포함한다[10-12]. Benzotriazole( $C_6H_4N_3H$ , BTA)은 구리 전해도금에 중요한 첨가제로 널리 사용되는 대표적인 감속제이다[13-15]. BTA의 감속 효과는 결정 성장 단계에서 흡착된 BTA의 핵성장 조절에

의한 것이라고 알려져 있다. BTA와 더불어 널리 사용되는 또 다른 감속제는 polyethylene glycol(PEG)과 그 유사체(derivatives)들이다. 특히 PEG는 염소(chloride) 이온과 같이 존재할 경우에 감속의 효과가 더 커지는데 이는 PEG가 염소 이온 및 구리 이온의 복합체(complex)를 형성하기 때문이다. 이러한 기구는 quartz crystal microbalance(QCM)을 통한 연구에서 밝혀지게 되었다[16]. 가속제는 일반적으로 mercapto group(-SH)이나 disulfide bond(S-S)를 포함하는 sulfonate를 함유하고 있다. 대표적으로 3-mercapto-1-propane sulfonic acid sodium salt (MPSA,  $Na^+SO_3^-(CH_2)_3SH$ ), bis(3-sulfopropyl)disulfide(SPS,  $(Na^+SO_3^-(CH_2)_3S)_2$ ) 및 3-N,N-Dimethylaminodithiocarbamoyl-1-propanesulfonic acid sodium salt(DPS,  $Na^+SO_3^-(CH_2)_3SCSN(CH_3)_2$ ) 등이 가속제로서 널리 보고되고 있다[17-29]. DPS는 금속 표면과 DPS와 연결된 금속 이온 사이의 전자 이동을 위한 활성화 에너지(activation energy)를 낮춤으로써 전자 이동을 매개하여 전해도금을 가속한다[30]. 또한 DPS는 농도에 따른 분자 구조(molecular structure)의 변화에 의하여 일정 농도 이하에서는 가속 효과가 분명한 반면 그 이상에서는 가속 효과가 불분명해지는 특징을 갖고 있다. 이러한 특징은 DPS의 농도 조절을 통한 국부적인 전착 속도 조절도 가능하게 하고 있다[31]. MPSA와 SPS의 가속 효과는 구리 전해도금에 있어서 MPSA와 SPS를 통한 율속 단계의 개선을 통하여 설명될 수 있다. Thiol이 disulfide화 되는 산화반응과 뒤따르는 MPSA의 흡착과 환원 탈착은 전해도금에 있어서 율속 단계인 구리(II)에서 구리(I)으로의 전환을 용이하게 하여 가속 효과를 나타낸다. SPS는 전해도금 중 MPSA로의 변환을 통하여 위와 같은 기구로 초등각전착을 가능하게 한다[17, 18]. Fig. 4는 전해도금 중에 SPS가 흡착한 후 연속적인 MPSA로의 변환을 통하여 초등각전착을 구현하는 기구를 설명하고 있다.

유기 첨가제를 통한 초등각전착과 더불어 일부에서는 유기 첨가제 없이 구현되는 초등각전착에 대하여 보고하고 있다. 전해 용액 내의 유기 첨가제 성분은 불순물(impurity)로서 구리 박막의 비저항, 결정 성장 및 결정 구조에 영향을 미치고 있다[17, 32]. 따라서 유기 첨가제를 이용하지 않는 초등각전착 구현이야말로 가장 바람직한 방법이라고 할 수 있다. 이러한 추세를 반영하듯 Kim 등은 유기 첨가제 없이 microcontact printing( $\mu$ CP)을 이용한 구리 전해도금에 대하여 보고하였다[33]. 1-Decanethiol의 self-assembled monolayer(SAM)를  $\mu$ CP를 통하여 패턴의 상층부에 형성하고[34, 35], 이렇게 전이된 SAM은 패턴의 상층부에서 전착 장애물(blocking agent) 역할을 하여 패턴내에서만 전착이 일어나는 바닥 차오름을 가능하게 한다. Fig. 5는  $\mu$ CP 방법을 통하여 초등각전착을 구현하는 기구를 설명하고 있다. Cha 등은 두 가지 다른 방법을 통하여 첨가물이 없는

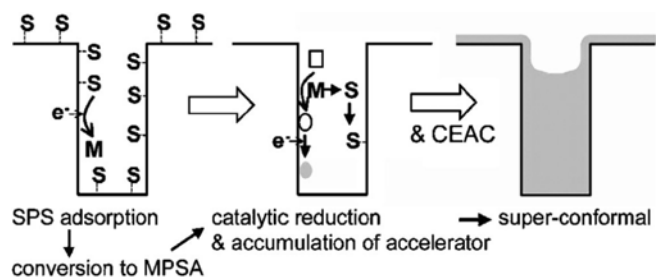


Fig. 4. Schematic illustration of suggested superfilling mechanisms of SPS/aged MPSA. For convenience, stoichiometry is ignored in the illustration(Reproduced by permission of ECS-The Electrochemical Society(Ref. 18)).

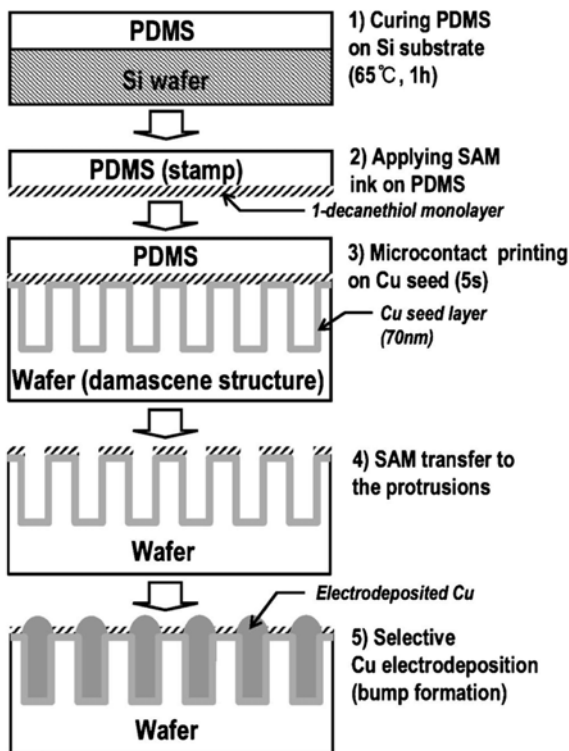


Fig. 5. Schematic procedure of  $\mu$ CP and subsequent selective damascene Cu electrodeposition (Reproduced by permission of ECS-The Electrochemical Society (Ref. 33)).

초등각전착을 구현하였다. 한가지 방법은 펄스(pulse)를 통한 전해도금을 실행한 후 전기화학적 산화반응(electrochemical oxidation)을 이용하는 것이며, 다른 하나는 감속제만으로 등각전착(conformal deposition) 진행한 후 인산으로 식각(etching)을 진행하는 것이다[36, 37]. 이러한 방법을 이용하면 구리 씨앗층이 패턴의 하부에만 존재하게 되어 바닥 차오름 전착이 가능하게 된다. Fig. 6은 전기화학적 산화 과정을 통한 초등각전착을 보여주고 있다. 유기 첨가제를

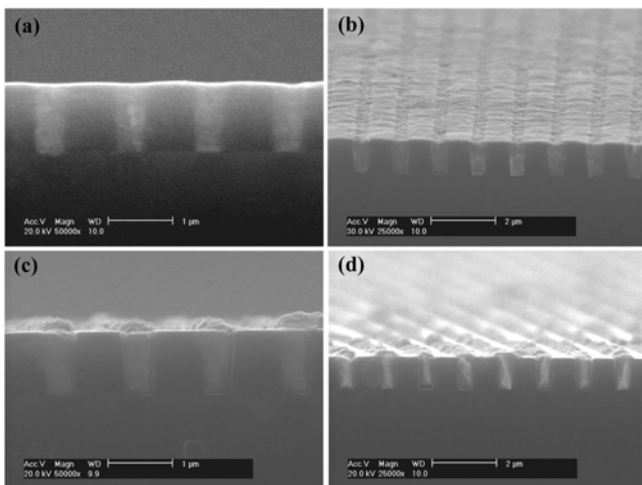


Fig. 6. Cu electrodeposition, after electrochemical oxidation, using (a) BTA, (b) low magnification of (a), (c) PEG-Cl on electrochemically etched Cu layer and (d) low magnification of (c) (Reproduce by permission of ECS-The Electrochemical Society (Ref. 36)).

도입하지 않은 전해도금은 아직 깊이 있는 연구가 이루어지지 않았지만, 위의 결과에서 볼 수 있듯이 기가급 소자에서 초등각전착을 얻기 위한 가능성 있는 방법 중 하나임을 알 수 있다.

## 2-2. 구리 직접 전해도금(Direct electrodeposition of copper)

구리의 전해도금은 전기전도성을 갖는 기판(substrate)에 외부에서 전류를 공급하여 전해액 내의 구리 이온이 환원되어 구리 금속 박막을 형성하는 공정이다. 구리 전해도금을 위한 이러한 기판은 구리 씨앗층/확산 방지막(diffusion barrier)/접착층(glue layer)로 이루어져 있다. 이러한 기판 중 구리 씨앗층은 구리 전해도금을 위한 반드시 필요한 금속막으로서 일반적으로 PVD, CVD 및 무전해 도금을 통하여 형성되며 최근에 들어서는 원자층 증착법(atomic layer deposition, ALD)이 적용되기도 한다. 구리 씨앗층에 구리가 전해도금을 통하여 균일하게 전착되기 위해서는 구리 씨앗층이 좋은 단차 피복율, 높은 접착율(adhesion) 및 표면 거칠기(surface roughness)가 낮은 성질을 가져야 한다[38-40]. 그러나 기가급 소자로 갈수록 패턴의 크기가 작아지고 종횡비(aspect ratio)가 커지면서 기존의 방법으로는 높은 단차 피복율을 갖는 구리 씨앗층의 형성이 어려워지게 되어, 씨앗층 없이 무결점 구리막을 얻는 직접 전해도금 방법과, 무전해 도금만을 이용하는 방법에 대한 연구가 이루어지고 있다[40, 41].

확산 방지막인 TiN, Ta 및 TaN 위에서의 구리 직접 전해도금은 많은 국내외 연구 그룹에 의하여 연구가 진행되어 오고 있다[42-47]. 확산 방지막에 직접 전해도금을 진행하는데 있어서 가장 문제가 되는 것은 TiN, Ta, TaN과 같은 확산 방지막이 높은 비저항을 갖는다는 것과 확산 방지막과 확산 방지막 위에 전해도금으로 전착되는 구리의 결정 구조(crystal structure)가 다르다는 것이다. 이러한 성질들은 구리 전착 초기에 구리의 핵생성(nucleation)을 저해하고 핵생성 후에도 응집(agglomeration)이 발생하여 연속적이고 얇은 구리막 형성을 방해한다. 그러므로 고정확 확산 방지막에서의 직접 전해도금 만으로는 높은 종횡비를 갖는 패턴(trench or via)내에 전착을 진행하기가 어렵다. 이러한 직접 전해도금의 문제를 해결하기 위하여 전해도금 초기에 생성된 핵(nuclei)의 크기를 줄이고 밀도를 높이는 방향으로 연구가 진행되어왔다[43, 48, 49]. 그 대표적인 예로 Radisic 등은 pyrophosphate 용액을 이용하여 TiN 확산 방지막 위에서  $10^8 \sim 10^{11}/\text{cm}^2$ 의 핵밀도(nucleus density)를 얻었으며, Graham 등은 ammonium sulfate 용액을 이용하여 패턴 내에서의 성공적인 굴곡 매움(gap-fill)을 보고하였다. 그러나 이러한 결과들로 얻은 구리 클러스터(cluster) 크기는 여전히 마이크로 크기 이하의 패턴을 채우기에는 크다. 이러한 직접 전해도금의 문제를 해결하기 위하여 전해도금 초기에 도입된 공정이 구리 무전해 도금에서 표면 전처리(pretreatment) 방법으로 사용되고 있는 Pd 활성화(Pd activation)이다[50]. Pd 활성화 방법으로 형성되는 Pd 나노 입자(nanoparticle)의 작은 크기와 높은 밀도는 구리 직접 전해도금 초기에 핵으로 작용함으로써 마이크로 이하의 크기의 패턴을 성공적으로 채울 수 있게 되었다(Fig. 7(d))[42]. Pd 활성화는 기존의 확산 방지막뿐만 아니라 ITO(indium-tin-oxide) 등에서의 전해도금과 차세대 확산 방지막으로 여겨지는 Ru 위에서의 전해도금도 가능하게 한다[44-46]. Josell 등은 기화 방법으로 증착된 Ru(evaporated Ru) 기판 위에서 초등각전착(super-conformal deposition)을 보여주었으며 Cho 등은 유기금속 화학기상증착법(metal organic chemical vapor deposition, MOCVD)을 통하여 전착된 Ru 기판 위에서 Pd 활성화를 도입하여 구리의 직

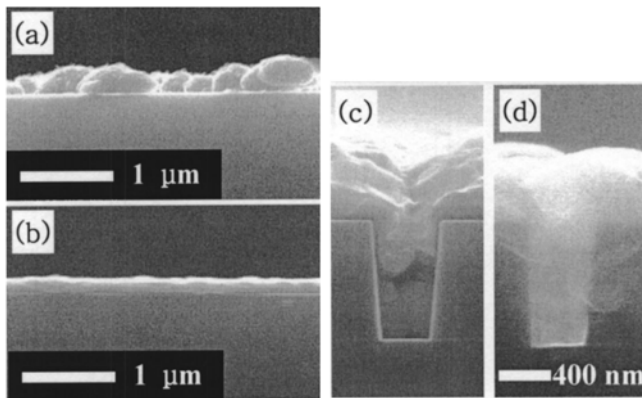


Fig. 7. Cross-sectional FESEM images of electroplated Cu on (a) TiN substrate, (b) Pd activated substrate, (c) Pd activated patterned substrate with PEG, and (d) Pd activated patterned substrate at the presence of benzotriazole by two steps (Reproduced by permission of ECS - The Electrochemical Society (Ref. 42)).

접 전해도금을 보고하였다[51, 52]. 최근에 들어서는 Pd 활성화 전 처리 방법 없이 Ru 표면의 산화 상태와 구리 전해도금의 변수들을 조절하여 Ru 층 위에서의 성공적인 구리 직접 전해도금이 Moffat 등에 의하여 보고되기도 하였다[47]. 이러한 직접 전해도금은 다른 차세대 확산 방지막인 Os과 Ir 위에서도 시도되며 더 넓은 영역에서 그 가능성이 시험되고 있다[53, 54].

### 3. 은 전해도금(Electrodeposition of silver)

은은 CPU 속도가 증가하고 패턴의 크기가 계속적으로 작아짐에 따라 구리를 대체할 수 있는 차세대 금속 배선 물질로 여겨지고 있다. 이러한 은은 구리보다 낮은 비저항을 갖고 산화나 실리사이드(silicide) 형성에 대한 저항성이 구리보다 크다는 장점 외에 현재 구리 배선에 적용되고 있는 상감 공정이 그대로 적용될 수 있어서 은을 기가급 소자에 적용하는데 추가적인 인프라에 대한 투자가 필요하지 않다는 장점을 갖고 있다[5, 55, 56].

은 전해도금에 있어서도 구리 전해도금에서와 같이 패턴내의 무결점 채움은 가장 중요한 사항이다. 그러므로 구리 전해도금에서 적용된 감속제와 가속제의 조합을 은 전해도금에 또한 적용되게 되었다. 은 전해도금에 대한 연구는 구리 전해도금에서도 많은 결과를 보고하고 있는 Moffat 등에 의하여, KSeCN을 무기 첨가제로 이용한 연구들이 주를 이루고 있다[6, 20, 55, 57]. 그러나 그 결과에서는 무결점 채움의 근거로 제시되는 바닥 차오름 현상을 보여주지 못하고 있다. 은 전해도금에서 바닥 차오름을 통한 초등각전착에 대한 결과는 Ahn에 의하여 보고되었다[5]. Ahn의 연구에서 은 전해도금 용액은 thiourea와 BTA를 유기 첨가제로 포함하고  $KAg(CN)_2$ 와 KCN 전해용액으로 이루어졌다. 구리 전해도금에서 감속제 역할을 하던 BTA는 은 전해도금에서는 가속제 역할을 하였으며, 감속제로는 thiourea가 사용되었다. Fig. 8은 thiourea를 감속제로 BTA를 가속제로 사용하여 구현된 은 초등각전착을 보여주고 있다. 은 전해도금을 위한 다른 첨가제는 Cho에 의하여 제시되었다[58]. Cho의 연구에서는  $CN^-$  이온과 복합체를 형성하는 CuCN을 가속제로써  $CN^-$ 을 기본으로 하는 전해용액에 첨가하였다. CuCN의 가속 효과는

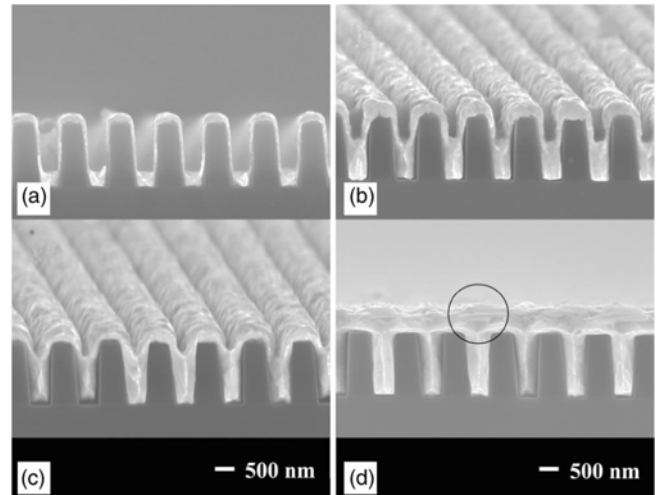


Fig. 8. Time-dependence profiles of superconformal electroplating of Ag thin film for (a) 100, (b) 300, (c) 400 and (d) 600 s in the presence of TU and BTA. The circle indicates the bump (Reproduced by permission of ECS - The Electrochemical Society (Ref. 5)).

$Ag(CN)_2^-$ 와  $Ag(CN)_3^{2-}$  사이의 평형상태 변화에서 오는데,  $Ag(CN)_3^{2-}$ 보다 쉽게 환원되는  $Ag(CN)_2^-$ 가 CuCN의 첨가와 함께 증가함으로써 CuCN이 가속 효과를 나타내는 것이다. 아직 은 전해도금에 있어서는 구리 전해도금에서처럼 확실한 첨가제 조합이 제시되고 있지는 않지만 위 결과와 같이 기가급 소자에 적용이 가능한 몇 가지 예시들이 보이고 있다.

직접 전해도금은 구리 전해도금에서와 같이 은 전해도금에서도 초등각전착을 위한 바람직한 방법 중 하나이다. 은 전해도금에 있어서도 직접 전해도금은 패턴의 크기가 감소함에 따라 좁은 패턴 영역에 은을 채우기 위한 것에서 시작되었다. 확산 방지막인 Ti, Ta, TaN 위에서의 은 전해도금을 실행하기 위해서는 구리 전해도금에서와 같이 표면 활성화가 필요하였으며 대표적 방법으로 Pd-Ag 활성화가 주로 사용된다[59]. Ru 확산 방지막 위에서의 은 직접 전해도금은 Ru 자연 산화막이 은 전해도금을 방해하기에 Ru 자연 산화막 제거 과정이 필요하다. Ru 자연 산화막을 전기화학적 환원 과정을 통하여 제거하고 전착 초기 단계에서 높은 과전압(overpotential)을 부과함으로써 Ru 확산 방지막에서 은 박막을 얻을 수 있다[60].

### 4. 구리 및 은 무전해 도금(Electroless deposition of copper and silver)

#### 4-1. 구리 무전해 도금(Electroless deposition of copper)

무전해 도금은 환원제(reducing agents)가 금속표면에서 산화하면서 내어놓는 전자로 구리 이온이 환원하여 금속 구리를 형성하는 공정이다. 구리 전착에 있어서 무전해 도금의 역할은 씨앗층을 형성하거나 PVD 방법으로 형성된 구리 씨앗층의 단차 피복을 향상시키기 위한 방법으로 사용되었으나, 최근에는 패턴의 크기가 작아짐에 따라 씨앗층 없이 무전해 도금만으로 초등각전착을 구현하기 위하여 사용되기도 한다.

구리 전해도금을 위한 구리 씨앗층은 확산 방지막인 TiN, Ta 및 TaN 위에 구리 무전해 도금을 통하여 이루어진다. 그러나 환

원제의 산화를 통한 무전해 도금은 용액 전체에서 일어나는 균일한 반응이므로 이 반응을 확산 방지막 표면 위에 한정하기 위하여 표면 활성화 방법이 필요하게 되었다. 표면 활성화 방법은 일반적으로 표면 산화막 식각 공정과 표면 활성화 공정으로 이루어진다. 표면 산화막 식각 공정은 TiN의 경우는 HF를 이용하여 그리고 Ta/TaN의 경우는 HNO<sub>3</sub>-HF로 이루어지며, 표면 활성화는 일반적으로 한 단계로 이루어진 Pd 치환반응이나 Sn-Pd 활성화 반응 또는 두 단계로 이루어진 Sn 민감화(sensitization)-Pd 활성화 반응으로 나누어진다[50, 61-63]. 표면 활성화 공정을 통해 구리 무전해 도금에 필요한 Pd나 Sn-Pd 나노 입자를 형성한다. 그러므로 구리 씨앗층을 구리 무전해 도금으로 형성하기 위해서는 성장핵과 활성화 사이트(site)로 사용되는 나노 입자들의 밀도가 높아야 하며 크기는 작아야 한다. Lee 등은 TiN 확산 방지막 위에서 극박막의 구리 씨앗층을 얻기 위하여 Pd 나노 입자 크기가 14 nm이고 밀도가  $1.73 \times 10^9 \text{ cm}^{-2}$ 인 확산 방지막 표면을 구현하였다[64]. Ta/TaN 확산 방지막 위에서 씨앗층 형성은 Pd 나노 입자가 Ta 확산 방지막 위에서 더 쉽게 응집하는 성질 때문에 TiN 확산 방지막 위의 경우보다 어려우나, Lee 등이 Sn-Pd 활성화를 도입하여 해결하였다[65]. Ta 자연 산화막이 식각된 Ta 위에서는 Sn의 흡착이 향상되고 후속 공정인 Pd 나노 입자 또한 응집없이 균일하게 Ta 확산 방지막 위에 형성될 수 있다[66]. 연속적인 씨앗층은 이와 같은 방법으로 표면 활성화를 거친 확산 방지막 위에서 HCHO 또는 Co(II)-ethylenediamine 등을 환원제로 이용하여 무전해 도금을 통하여 전착시킬 수 있다.

씨앗층과 전해도금 없이 무전해 도금만으로 초등각전착을 구현하는 것은 공정 단순화 및 기술의 연속성에 있어 그 의미가 매우 크다. 무전해 도금만을 이용하여 초등각전착을 얻는 전략은 패턴 크기에 따라 달라지게 된다[63, 67-69]. 300 nm 패턴 크기 이하에서의 높은 전착온도는 구리 박막 내에 Cu<sub>2</sub>O의 오염을 줄임으로써 비저항과 접착력등의 문제들을 해결하여 패턴 내에서의 채움을 용이하게 한다. 무전해 도금에서 가장 널리 사용되는 유기 첨가제는 전해도금에서 가속제로 사용되는 SPS와 DPS이다. 그러나 이러한 유기 첨가제는 전해도금에서와는 다른 특징을 보이며 농도에 영향을 받는다. SPS가 무전해 도금에 미치는 영향은 Shingubara 등과 Lee 등에 의하여 깊이 있게 연구되었다[70-73]. SPS의 가속 효과는 SPS의 농도가 0.5 mg/l일 경우에 두드러지게 나타났으며 농도가 5.0 mg/l일 경우에는 감속효과가 지배적이었다. SPS 단독의 가속 효과만을 이용하여 무전해 도금으로 패턴을 채웠을 경우 패턴 내에 빈 공간이 형성되고 거친 표면이 형성되면서 전기적으로 나쁜 특성을 보여주었다. 이러한 문제는 PEG, 2,2'-dipyridyl, Triton-X 및 RE610과 같은 안정제(stabilizer) 또는 계면활성제(surfactant) 도입으로 해결되었다. SPS와 계면활성제를 같이 사용할 경우 Fig. 9와 같이 초등각전착이 구현되었다. 또 다른 유기 첨가제인 DPS 역할은 Lee 등에 의하여 자세히 제시되었다[74, 75]. DPS 또한 SPS와 같이 계면활성제와 같이 사용함으로써 초등각전착의 특징을 보여주었다. DPS와 2,2'-dipyridyl로 구성된 용액상에서 두 가지 농도의 DPS를 차례로 무전해 도금 첨가제로 이용할 경우 130 nm부터 300 nm에 해당하는 다양한 패턴에서 동시에 초등각전착을 얻을 수 있었다. 현재까지는 SPS-2,2'-dipyridyl 조합 또는 DPS-2,2'-dipyridyl 조합이 무전해 도금만을 이용한 초등각전착에 있어 가장 최적의 유기 첨가제 조합으로 여겨지고 있다.

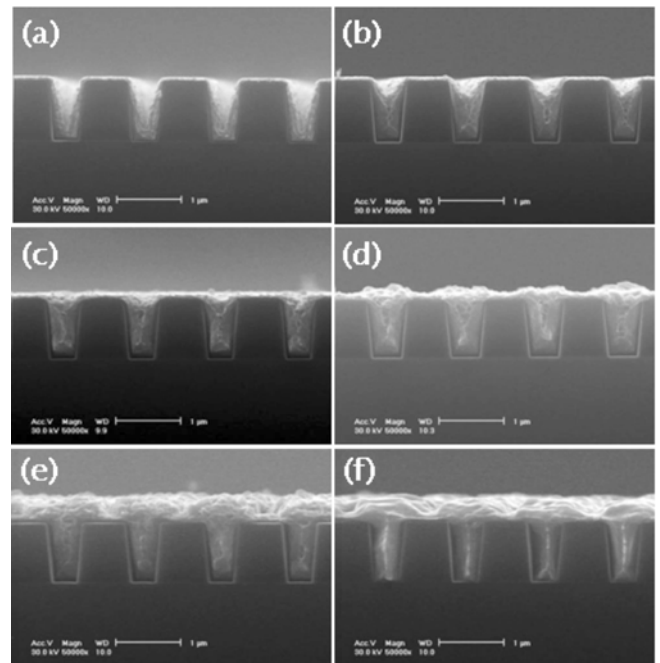


Fig. 9. Bottom-up filling in Cu electroless deposition with the addition of 0.5 mg/L SPS and 0.1 g/L 2,2'-dipyridyl, as a function of time: (a) 3, (b) 5, (c) 8, (d) 10, (e) 13 min and (f), (e) after annealing at 400 °C for 30 min under N<sub>2</sub> atmosphere (Reproduced by permission of ECS - The Electrochemical Society (Ref. 73)).

#### 4-2. 은 무전해 도금(Electroless deposition of silver)

앞장에서 거론된 바와 같이 은은 낮은 비저항과 구리보다 좋은 전기적인 특성들로 인하여 구리와 더불어 기가급 소자의 금속 배선 재료의 후보로 여겨지고 있다. 그러나 은을 이용한 무전해 도금에 대한 연구는 은 전해도금에 대한 연구에 비하여 매우 드물며 몇몇의 연구 결과만이 보고되고 있다[76-82]. 은 무전해 도금에 있어서 일반적인 문제는 기판-은 박막, Pd-은 박막 사이에 일어나는 격자 불일치(lattice misfit)에 기인하는 은 응집이다. 일반적으로 모든 무전해 도금에서 표면 활성화 방법으로 널리 사용되고 있는 Pd은 약 5%의 격자 불일치로 인해 금속 은의 응집을 야기한다. 그러므로 은 응집현상을 해결하지 않고는 기가급 소자를 위한 은 무전해 도금을 진행하기란 어렵다고 할 수 있다. Ag-W이 응집을 해결하기 위한 방법으로 제시되었으나 W 불순물에 의한 높은 비저항이 새로운 문제로 부각되었다[80-82]. 현재까지 은 응집을 막기 위하여 제시된 가장 최선의 방법은 Cha 등에 의하여 제시된 Au 활성화를 이용하는 방법이다[83]. 금은 은과 비슷한 결정 구조를 가질 뿐만 아니라 비슷한 격자 상수를 보임으로써 은 무전해 도금을 위한 표면 활성화 방법으로 적합한 것으로 여겨졌다. 금을 은 무전해 도금을 위한 표면 활성화 물질로 사용함으로써 향상된 결과를 얻을 수 있었다. 비록 금을 표면 활성화 물질로 사용함으로써 은 무전해 도금에 큰 진전이 이루어졌으나 아직 은 무전해 도금에 대한 연구는 깊이 있게 이루어지지 않고 있으므로 지속적인 연구가 필요한 분야로 여겨지고 있다.

## 5. 결 론

반도체 금속 배선 재료에 있어서 알루미늄에서 구리로의 전환은

소자 제조 공정에 있어서 큰 변화를 야기하였다. 가장 대표적인 변화는 금속 배선 공정에 상감 공정을 기본으로 하는 전기화학공정이 도입되었다는 것이다. 전기화학공정인 전해도금과 무전해 도금에 있어서 핵심적인 고려사항은 무결점 구리 전착을 구현하는 것이며, 이러한 무결점 전착을 위하여 감속제와 가속제라는 유기 첨가제의 도입이 핵심이고, 다양한 연구 그룹들이 첨가제의 조합과 반응 기구에 대한 심도 있는 연구가 이루어져 왔다. 최근들어 유기 첨가제를 통한 무결점 구리 전착 외에 직접 전해도금을 통한 구리 전착도 무결점 전착을 얻을 수 있고 공정이 단순하다는 장점 때문에 흥미를 끌고 있다. 금속 배선에 있어서 전해도금과 무전해 도금의 또 다른 장점은 이러한 공정이 구리 다음 금속 배선 물질인 은에도 기존의 인프라를 이용하여 적용될 수 있다는 것이다.

## 감 사

본 논문은 인천대학교 2008년도 자체연구비의 지원을 받아 연구했습니다. 이에 감사드립니다.

## 참고문헌

- Ryan, J. G., Geffken, R. M., Poulin, N. R. and Paraszczak, J. R., "The Evolution of Interconnection Technology at IBM," *IBM J. Res. Dev.*, **39**, 371-382(1995).
- Murarka, S. P. and Hymes, S. W., "Copper Metallization for ULSL and Beyond," *Crit. Rev. Solid State*, **20**, 87-124(1995).
- Manepalli, R., Stepniak, F., Bidsturf-Allen, S. A. and Kohl, P. A., "Silver Metallization for Advanced Interconnects," *IEEE Trans. Adv. Packag.*, **22**, 4-8(1999).
- Alford, T. L., Zeng, Y., Nguyen, P., Chen, L. and Mayer, J. W., "Self-encapsulation Effects on The Electromigration Resistance of Silver Lines," *Microelectron. Eng.*, **55**, 389-395(2001).
- Ahn, E. J. and Kim, J. J., "Additives for Superconformal Electroplating of Ag Thin Film for ULSIs," *Electrochem. Solid-State Lett.*, **7**, C118-C120(2004).
- Moffat, T. P., Baker, B., Wheeler, D., Bonevich, J. E., Edelstein, M., Kelly, D. R., Gan, L., Stafford, G. R., Chen, P. J., Egelhoff, W. F. and Josell, D., "Superconformal Electrodeposition of Silver in Submicrometer Features," *J. Electrochem. Soc.*, **149**, C423-C428 (2002).
- Datta, M. and Landolt, D., "Fundamental Aspects and Applications of Electrochemical Microfabrication," *Electrochim. Acta*, **45**, 2535-2558(2000).
- Paunovic, M. and Schlesinger, M., *Fundamentals of Electrochemical Deposition*, John Wiley & Sons Inc., New York(1998).
- Takahashi, K. M. and Gross, M. E., "Transport Phenomena That Control Electroplated Copper Filling of Submicron Vias and Trenches," *J. Electrochem. Soc.*, **146**, 4499-4503(1999).
- Gomma, G. K., "Effect of Azole Compounds on Corrosion of Copper in Acid Medium," *Mater. Chem. Phys.*, **56**, 27-34(1998).
- Snatos, J. R., Mattoso, L. H. C. and Motheo, A. J., "Investigation of Corrosion Protection of Steel by Polyaniline Films," *Electrochem. Acta*, **43**, 309-313(1998).
- Truman, J. E. and Shreir, L. L., *Corrosion: Metal/Environment*, Vol. 1, Boston(1976).
- Farndon, E. E., Walsh, F. C. and Campbell, S. A., "Effect of Thio-urea, Benzotriazole and 4,5-Dithiaoctane-1,8-Disulphonic Acid on The Kinetics of Copper Deposition from Dilute Acid Sulphate Solutions," *J. Appl. Electrochem.*, **25**, 574-583(1995).
- Sutter, E. M. M., Ammeloot, F., Pouet, M. J., Fiaud, C. and Couffignal, R., "Heterocyclic Compounds Used as Corrosion Inhibitors: Correlation between  $^{13}\text{C}$  and  $^1\text{H}$  NMR Spectroscopy and Inhibition Efficiency," *Corr. Sci.*, **41**, 105-115(1999).
- Brusic, V., Frisch, M. A., Eldridge, B. N., Novak, F. P., Kaufman, F. B., Rush, B. M. and Frankel, G. S., "Copper Corrosion With and Without Inhibitors," *J. Electrochem. Soc.*, **138**, 2253-2259(1991).
- Kim, Y. S., Kim, S.-K. and Kim, J. J., "Co-suppression Behavior of Polyethylene Glycol and Chloride ion at Copper Electrodeposition," *Proceeding of VMIC conference*, September, Santa Clara(2001).
- Kim, J. J., Kim, S.-K. and Kim, Y. S., "Catalytic Behavior of MPSA(3-mercapto-1-propane sulfonic acid) on Cu Electrodeposition and its Effect on Cu Film Properties for CMOS device Metallization," *J. Electroanal. Chem.*, **542**, 61-66(2003).
- Kim, S.-K. and Kim, J. J., "Superfilling Evolution in Cu Electrodeposition," *Electrochem. Solid-State Lett.*, **7**, C98-C100(2004).
- Frank, A. and Bard, A. J., "The Decomposition of the Sulfonate Additive Sulfopropyl Sulfonate in Acid Copper Electroplating Chemistries," *J. Electrochem. Soc.*, **150**, C244-C250(2003).
- Josell, D., Baker, B., Witt, C., Wheeler, D. and Moffat, T. P., "Via Filling by Electrodeposition," *J. Electrochem. Soc.*, **149**, C637-C641 (2002).
- Josell, D., Wheeler, D., Huber, W. H., Bonevich, J. E. and Moffat, T. P., "A Simple Equation for Predicting Superconformal Electrodeposition in Submicrometer Trenches," *J. Electrochem. Soc.*, **148**, C767-C773(2001).
- Moffat, T. P., Wheeler, D., Huber, W. H. and Josell, D., "Superconformal Electrodeposition of Copper," *Electrochem. Solid-State Lett.*, **4**, C26-C29(2001).
- Moffat, T. P., Wheeler, D., Witt, C. and Josell, D., "Superconformal Electrodeposition Using Derivatized Substrates," *Electrochem. Solid-State Lett.*, **5**, C110-C112(2002).
- Josell, D., Wheeler, D., Huber, W. H. and Moffat, T. P., "Superconformal Electrodeposition in Submicron Features," *Phys. Rev. Lett.*, **87**, 016102-1-016102-4(2001).
- West, W. C., Mayer, S. and Reid, J., "A Superfilling Model that Predicts Bump Formation," *Electrochem. Solid-State Lett.*, **4**, C50-C53 (2001).
- Moffat, T. P., Wheeler, D., Edelstein, M. D. and Josell, D., "Superconformal Film Growth : Mechanism and Quantification," *IBM J. Res. & Dev.*, **49**, 19-36(2005).
- Josell, D., Wheeler, D. and Moffat, T. P., "Superconformal Electrodeposition in Vias," *Electrochem. Solid-State Lett.*, **5**, C49-C52 (2002).
- Dubin, V., Hong, K. and Baxter, N., "Electroplating Bath Composition," US Patent, 6,491,806(2002).
- Bernards, R. F., Fisher, G., Sonnenberg, W., Cerwonka, E. J. and Fisher, S., "Additive for Acid-copper Electroplating Baths to Increase Throwing Power," US Patent, 5,051,154(1991).
- Tabakovic, I., Riemer, S., Inturi, V., Jallen, P. and Thayer, A., "Organic Additives in the Electrochemical Preparation of Soft Magnetic CoNiFe Films," *J. Electrochem. Soc.*, **147**, 219-226 (2000).
- Cho, S. K., Kim, S.-K. and Kim, J. J., "Superconformal Cu Electrodeposition Using DPS," *J. Electrochem. Soc.*, **152**, C330-C333



- (2005).
32. Hau-Riege, S. P. and Thompson, C. V., "In Situ Transmission Electron Microscope Studies of the Kinetics of Abnormal Grain Growth in Electroplated Copper Films," *Appl. Phys. Lett.*, **76**, 309-311(2000).
  33. Kim, S.-K. and Kim, J. J., "Additive-Free Superfilling in Damascene Cu Electrodeposition Using Microcontact Printing," *Electrochem. Solid-State Lett.*, C101-C103(2004).
  34. Xia, Y., Kim, E., Mrksich, M. and Whitesides, G. M., "Microcontact Printing of Alkanethiols on Copper and Its Application in Microfabrication," *Chem. Mater.*, **8**, 601-603(1996).
  35. Xia, Y., Zhao, X.-M. and Whitesides, G. M., "Pattern Transfer: Self-Assembled Monolayers as Ultrathin Resists," *Microelectron. Eng.*, **32**, 255-268(1996).
  36. Cha, S. H., Kim, S.-S., Cho, S. K. and Kim, J. J., "Bottom-Up Filling Using Electrochemical Oxidation on Patterned Wafers," *Electrochem. Solid-State Lett.*, **8**, C170-C172(2005).
  37. Cha, S. H., Kim, S.-S., Cho, S. K. and Kim, J. J., "Copper Bottom-Up Filling by Electroplating Without any Additives on Patterned Wafer," *Electrochem. Solid-State Lett.*, **10**, D22-D24(2007).
  38. Ueno, K., Ritzdorf, T. and Grace, S., "Seed Layer Dependence of Room-Temperature Recrystallization in Electroplated Copper Films," *J. Appl. Phys.*, **86**, 4930-4935(1999).
  39. Hara, T., Kamijima, S. and Shimura, Y., "Electroplating of Copper Conductive Layer on The Electroless-Plating Copper Seed Layer," *Electrochem. Solid-State Lett.*, **6**, C8-C11(2003).
  40. Kim, J. J., Kim, S.-K., Lee, C. H. and Kim, Y. S., "Investigation of Various Copper Seed Layers for Copper Electrodeposition Applicable to Ultralarge-Scale Intergration Interconnection," *J. Vac. Sci. Technol. B*, **21**, 33-38(2003).
  41. Webb, E., Sukanto, J., Andryushchenko, T., Danek, M., Klawuhn, E., Rozbicki, R., Alers, G., Suwwan de Felipe, T., Bhaskaran, V., Frank, A., Pfeifer, K. and Reid, J., "Comparison of Options for Sub 0.10 Micron Generation Damascene Copper Feature Fill," in *Proceedings of the 18<sup>th</sup> VLSI Multilevel Interconnection Conference*, September, Santa Clara(2001).
  42. Kim, J. J., Kim, S.-K. and Kim, Y. S., "Direct Plating of Low Resistivity Bright Cu Film onto TiN Barrier Layer Via Pd Activation," *J. Electrochem. Soc.*, **151**, C97-C101(2004).
  43. Oskam, G., Vereecken, P. M. and Searson, P. C., "Electrochemical Deposition of Copper on n-Si/TiN," *J. Electrochem. Soc.*, **146**, 1436-1441(1999).
  44. Han, H., Kim, J. J. and Yoon, D. Y., "Pretreatment Technique for Surface Improvement of Ru Films in Ru-Metalorganic Chemical Vapor Deposition," *J. Vac. Sci. Technol. A*, **22**, 1120-1123(2004).
  45. Kim, J. J., Kim, S.-K. and Kim, Y. S., "A Novel Method for Cu Electrodeposition on Indium Tin Oxide Aided by Two-Step Sn-Pd Activation," *Jpn. J. Appl. Phys.*, Part 2 **42**, L1080-L1082(2003).
  46. Chyan, O., Arunagiri, T. and Ponnuswamy, T., "Electrodeposition of Copper Thin Film on Ruthenium," *J. Electrochem. Soc.*, **150**, C347-C350(2003).
  47. Josell, D., Wheeler, D., Witt, C. and Moffat, T. P., "Seedless Superfill: Copper Electrodeposition in Trenches with Ruthenium Barriers," *Electrochem. Solid-State Lett.*, **6**, C143-C145(2003).
  48. Radisic, A., Long, J. G., Hoffmann, P. M. and Searson, P. C., "Nucleation and Growth of Copper on TiN from Pyrophosphate Solution," *J. Electrochem. Soc.*, **148**, C41-C46(2001).
  49. Graham, L., Steinbruchel, C. and Duquette, D. J., "Nucleation and Growth of Electrochemically Deposited Copper on TiN and Copper from Cu-NH<sub>3</sub> Bath," *J. Electrochem. Soc.*, **149**, C390-C395(2002).
  50. Kim, J. J. and Cha, S. H., "Optimized Surface Pre-Treatments for Cu Electroplating in ULSI Device Interconnection," *Jpn. J. Appl. Phys. Part 1*, **40**, 7151-7155(2001).
  51. Cho, S. K., Kim, S.-K., Han, H., Kim, J. J. and Oh, S. M., "Damascene Cu Electrodeposition on Metal Organic Chemical Vapor Deposition-Grown Ru Thin Film Barrier," *J. Vac. Sci. Technol.*, B **22**, 2649-2653(2004).
  52. Moffat, T. P., Walker, M., Chen, P. J., Bonevich, J. E., Egelhoff, W. F., Richter, L., Witt, C., Aaltonen, T., Ritala, M., Leskela, M. and Josell, D., "Electrodeposition of Cu on Ru Barrier Layers for Damascene Processing," *J. Electrochem. Soc.*, **153**, C37-C50(2006).
  53. Josell, D., Witt, C. and Moffat, T. P., "Osmium Barriers for Direct Copper Electrodeposition in Damascene Processing," *Electrochem. Solid-State Lett.*, **9**, C41-C43(2006).
  54. Josell, D., Bonevich, J. E., Moffat, T. P., Aaltonen, T., Ritala, M. and Leskela, M., "Iridium Barriers for Direct Copper Electrodeposition in Damascene Processing," *Electrochem. Solid-State Lett.*, **9**, C48-C50(2006).
  55. Baker, B., Witt, C., Wheeler, D., Josell, D. and Moffat, T. P., "Superconformal Silver Deposition Using KSeCN Derivatized Substrates," *Electrochem. Solid-State Lett.*, **6**, C67-C69(2003).
  56. Josell, D., Burkhard, C., Li, Y., Cheng, Y.-W., Keller, R. R., Witt, C. A., Kelley, D. R., Bonevich, J. E., Baker, B. C. and Moffat, T. P., "Electrical Properties of Superfilled Sub-Micrometer Silver Metallizations," *J. Appl. Phys.*, **96**, 759-768(2004).
  57. Baker, B. C., Freeman, M., Melnick, B., Wheeler, D., Josell, D. and Moffat, T. P., "Superconformal Electrodeposition of Silver from a KAg(CN)<sub>2</sub>-KCN-KSeCN Electrolyte," *J. Electrochem. Soc.*, **150**, C61-C66(2003).
  58. Cho, S. K., Lee, J. K., Kim, S.-K. and Kim, J. J., "Acceleration Effect of CuCN in Ag Electroplating for Ultralarge-Scale Interconnects," *Electrochem. Solid-State Lett.*, **10**, D116-D119(2007).
  59. Koo, H.-C., Ahn, E. J. and Kim, J. J., "Direct-Electroplating of Ag on Pretreated TiN Surfaces," *J. Electrochem. Soc.*, **155**, D10-D13(2008).
  60. Koo, H.-C., Cho, S. K., Lee, C. H., Kim, S.-K., Kwon, O. J. and Kim, J. J., "Silver Direct Electrodeposition on Ru Thin Films," *J. Electrochem. Soc.*, **155**, D389-D394(2008).
  61. Chang, S.-Y., Hsu, C.-J., Fang, R.-H. and Lin, S.-J., "Electrochemical Deposition of Nanoscaled Palladium Catalysts for 65 nm Copper Metallization," *J. Electrochem. Soc.*, **150**, C603-C607(2003).
  62. Tseng, W.-T., Lo, C.-H. and Lee, S.-C., "Electroless Deposition of Cu Thin Films with CuCl<sub>2</sub>-HNO<sub>3</sub> Based Chemistry: I. Chemical Formulation and Reaction Mechanisms," *J. Electrochem. Soc.*, **148**, C327-C332(2001).
  63. Hsu, H.-H., Teng, C.-W., Lin, S.-J. and Yeh, J.-W., "Sn/Pd Catalyzed and Electroless Cu Deposition on TaN Diffusion Barrier Layers," *J. Electrochem. Soc.*, **149**, C143-C149(2002).
  64. Lee, C. H. and Kim, J. J., "Effects of Pd Activation on the Self Annealing of Electroless Copper Deposition Using Co(II)-Ethylenediamine as a Reducing Agent," *J. Vac. Sci. Technol. B*, **23**, 475-479(2005).
  65. Lee, C. H., Hwang, S., Kim, S.-C. and Kim, J. J., "Cu Electroless Deposition onto Ta Substrates," *Electrochem. Solid-State Lett.*,



- 9, C157-C160(2006).
66. Lee, C. H., Cha, S. H., Kim, A. R., Hong, J.-H. and Kim, J. J., "Optimization of a Pretreatment for Copper Electroless Deposition on Ta Substrates," *J. Electrochem. Soc.*, **154**, D182-D187(2007).
  67. Kim, J. J., Cha, S. H. and Lee, Y.-S., "Seedless Fill-Up of the Damascene Structure Only by Copper Electroless Plating," *Jpn. J. Appl. Phys.*, **42**, L953-L955(2003).
  68. Lim, J.-H., Hsieh, W.-J., Hsu, J.-W., Liu, X.-W., Chen, U.-S. and Shih, H. C., "Gap-filling Capability and Adhesion Strength of the Electroless-plated Copper for Submicron Interconnect Metallization," *J. Vac. Sci. Technol. B.*, **20**, 561-565(2002).
  69. Hsu, H.-H., Teng, C.-W., Lin, S.-J. and Yeh, J.-W., "Electroless Copper Deposition for Ultralarge-Scale Integration," *J. Electrochem. Soc.*, **148**, C47-C53(2001).
  70. Shingubara, S., Wang, Z., Yaegashi, O., Obata, R., Sakaue, H. and Takahagi, T., "Bottom-Up Fill of Copper in High Aspect Ratio Via Holes by Electroless Plating," *Tech. Dig. Int. Electron Devices Meet.*, 147-150(2003).
  71. Shingubara, S., Wang, Z., Yaegashi, O., Obata, R., Sakaue, H. and Takahagi, T., "Bottom-Up Fill of Copper in Deep Submicrometer Holes by Electroless Plating," *Electrochem. Solid-State Lett.*, **7**, C78-C80(2004).
  72. Lee, C. H., Lee, S. C. and Kim, J. J., "Bottom-Up Filling in Cu Electroless Deposition Using Bis-(3-Sulfopropyl)-Disulfide (SPS)," *Electrochem. Acta*, **50**, 3563-3568(2005).
  73. Lee, C. H., Lee, S. C. and Kim, J. J., "Improvement of Electrolessly Gap-Filled Cu Using 2,2'-Dipyridyl and Bis-(3-sulfopropyl)-disulfide (SPS)," *Electrochem. Solid-State Lett.*, **8**, C110-C113(2005).
  74. Lee, C. H., Cho, S. K. and Kim, J. J., "Electroless Cu Bottom-Up Filling Using 3-*N,N*-Dimethylaminodithiocarbamoyl-1-propanesulfonic acid," *Electrochem. Solid-State Lett.*, **8**, J27-J29(2005).
  75. Lee, C. H., Kim, A. R., Kim, S.-K., Koo, H.-C., Cho, S. K. and Kim, J. J., "Two-Step Filling in Cu Electroless Deposition Using a Concentration-Dependent Effect of 3-*N,N*-dimethylaminodithiocarbamoyl-1-propanesulfonic Acid," *Electrochem. Solid-State Lett.*, **11**, D18-D21(2008).
  76. Norkus, E., Vaskelis, A., Jagminiene, A. and Tamasauskaite-Tamasiunaite, L., "Kinetics of Electroless Silver Deposition Using Cobalt (II)-Ammonia Complex Compounds As Reducing Agents," *J. Appl. Electrochem.*, **31**, 1061-1066(2001).
  77. Vaskelis, A., Jagminiene, A., Juskenas, R., Matulionis, E. and Norkus, E., "Structure of Electroless Silver Coatings Obtained Using Cobalt(II) as Reducing Agent," *Surf. Coat. Technol.*, **82**, 165-168(1996).
  78. Vaskelis, A. and Norkus, E., "Autocatalytic Processes of Copper (II) and Silver(I) Reduction by Cobalt(II) Complexes," *Electrochim. Acta*, **44**, 3667-3677(1999).
  79. Inberg, A., Zhu, L., Hirschberg, G., Gladkikh, A., Croitoru, N., Shacham-Diamand, Y. and Gileadi, E., "Characterization of the Initial Growth Stages of Electroless Ag(W) Films Deposited on Si(100)," *J. Electrochem. Soc.*, **148**, C784-C789(2001).
  80. Inberg, A., Shacham-Diamand, Y., Rabinovich, E., Golan, G. and Croitoru, N., "Electroless-Deposited Ag-W Films for Microelectronics Applications," *Thin Solid Films*, **389**, 213-218(2001).
  81. Shacham-Diamand, Y., Inberg, A., Sverdlov, Y. and Croitoru, N., "Electroless Silver and Silver with Tungsten Thin Films for Microelectronics and Microelectromechanical System Applications," *J. Electrochem. Soc.*, **147**, 3345-3349(2000).
  82. Kortenarr, M. V., Goeij, J. J., Kolar, Z. I., Frens, G., Lusse, P. J., Zuiddam, M. R. and Drift, E., "Electroless Silver Deposition in 100 nm Silicon Structures," *J. Electrochem. Soc.*, **148**, C28-C33(2001).
  83. Cha, S. H., Koo, H.-C. and Kim, J. J., "The Inhibition of Silver Agglomeration by Gold Activation in Silver Electroless Plating," *J. Electrochem. Soc.*, **152**, C388-C391(2005).